

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2004年 9月30日

出 願 番 号  
Application Number: 特願2004-286548

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

J P 2004-286548

出 願 人  
Applicant(s): アンリツ株式会社

2005年10月26日

特許庁長官  
Commissioner,  
Japan Patent Office

中 嶋



BEST AVAILABLE COPY

【官 規 則】	付 訂 願
【整理番号】	101801
【あて先】	特許庁長官殿
【発明者】	
【住所又は居所】	神奈川県厚木市恩名1800番地 アンリツ株式会社内
【氏名】	白土 悟
【発明者】	
【住所又は居所】	神奈川県厚木市恩名1800番地 アンリツ株式会社内
【氏名】	藤沼 一弘
【発明者】	
【住所又は居所】	神奈川県厚木市恩名1800番地 アンリツ株式会社内
【氏名】	斉藤 澄夫
【特許出願人】	
【識別番号】	000000572
【氏名又は名称】	アンリツ株式会社
【代表者】	塩見 昭
【代理人】	
【識別番号】	100079337
【弁理士】	
【氏名又は名称】	早川 誠志
【電話番号】	03-3490-4516
【手数料の表示】	
【予納台帳番号】	043443
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	9712293

【請求項 1】

入力端子（20 a）および出力端子（20 b）と、

前記入力端子と前記出力端子の間を接続するコンデンサ（21）と、

前記入力端子に一端側が接続され、該入力端子に入力されるデジタル信号の周波数成分のうち、少なくとも前記コンデンサを通過できない低周波成分を通過させる低周波抽出用コイル（23）と、

前記出力端子に一端側が接続されたバイアス印加用コイル（22）と、

任意の電圧の直流信号を出力する直流電圧発生器（25）と、

前記低周波抽出用コイルの他端から出力される信号に対して、前記直流電圧発生器から出力された直流信号を合成し、該合成により得られた信号を前記バイアス印加用コイルの他端側に供給する合成回路（30）とを備え、

前記入力端子に入力されたデジタル信号の各周波数成分をほぼ一様に前記出力端子に伝達するとともに、前記直流電圧発生器から出力された直流信号の電圧に対応したバイアス電圧を前記デジタル信号に付与することを特徴とするデジタル信号オフセット調整装置。

【請求項 2】

前記合成回路は、前記低周波抽出用コイルの他端から出力される信号の交流成分に対して、その周波数が高くなる程利得が大きくなる周波数特性を有していることを特徴とする請求項 1 記載のデジタル信号オフセット調整装置。

【請求項 3】

前記合成回路は、演算増幅器（31 a）を用いた差動増幅回路構成であり、前記低周波抽出用コイルの他端から出力される信号を前記演算増幅器の非反転入力端子で受け、前記直流電圧発生器から出力された直流信号を前記演算増幅器の反転入力端子で受けて、その差分成分を出力するように構成され、且つ前記反転入力端子とアースラインとの間にコンデンサ（C c）と抵抗（R c）の直列回路が接続されていることを特徴とする請求項 2 記載のデジタル信号オフセット調整装置。

【発明の名称】 デジタル信号オフセット調整装置

【技術分野】

【0001】

本発明は、デジタル信号に任意のバイアス電圧を付与して出力するデジタル信号オフセット調整装置において、広帯域なデジタル信号に対応できるようにするための技術に関する。

【背景技術】

【0002】

デジタル信号を用いた通信は年々高速化され、近年ではGHz帯まで延びており、その通信システムに用いる各種装置の試験などを行う場合、従来のMHz帯の低速なデジタル信号からGHz帯の高速なデジタル信号までを、試験対象の入力インタフェースに応じたバイアス電圧で供給する必要がある。

【0003】

図7はこのような目的で用いられる従来のデジタル信号オフセット調整装置10の構成を示している。

【0004】

この装置は一般的に「バイアスT」と呼ばれ、入力端子10aから入力されるデジタル信号Dの交流成分Dacを、コンデンサ11を介して出力端子10bに伝達する。

【0005】

また、コンデンサ11の出力端子10b側の端子には、バイアス印加用コイル12の一端側が設けられ、このバイアス印加用コイル12の他端側から任意のバイアス電圧Vbを与えて、コンデンサ11を通過した交流成分Dacとバイアス電圧Vbとが重畳されたデジタル信号D'を出力端子10bから出力させている。

【0006】

上記のようなバイアスTは、例えば次の特許文献1、2に記載されている。

【0007】

【特許文献1】 特開2004-193275号公報

【特許文献2】 特開2004-193866号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上記従来装置において、低い周波数帯のデジタル信号の波形を正しく伝達させるためには、入力端子10aと出力端子10bの間に接続されているコンデンサ11の容量を大きくする必要があり、それに合わせてバイアス印加用コイル12のインダクタンスも大きくしなければならない。

【0009】

特に、一般的に使用されているランダムパターンのデジタル信号の場合、同一ビットデータが連続するようなデータパターンが存在し、そのデータパターンに含まれる周波数はビットレートよりも低くなる。

【0010】

このため、ビットレートが数Mbps程度のデジタル信号であっても、それより格段に低い例えば数100Hzまでの周波数成分を損失なく伝達する必要がある。

【0011】

このように低い周波数成分を損失なく伝達するためには、大容量のコンデンサを用い、それに合わせてバイアス印加用コイル12のインダクタンスも大きくしなければならない。

【0012】

しかし、上記のように大容量のコンデンサと大きなインダクタンスのバイアス印加用コイルは必然的に大型となり、高周波伝送路におけるインピーダンス整合が困難となり、G

【0013】

本発明は、この問題を解決し、広帯域なデジタル信号の波形を歪みなく伝達できるデジタル信号オフセット調整装置を提供することを目的としている。

【課題を解決するための手段】

【0014】

前記目的を達成するために、本発明の請求項1のデジタル信号オフセット調整装置は、入力端子(20a)および出力端子(20b)と、

前記入力端子と前記出力端子の間を接続するコンデンサ(21)と、

前記入力端子に一端側が接続され、該入力端子に入力されるデジタル信号の周波数成分のうち、少なくとも前記コンデンサを通過できない低周波成分を通過させる低周波抽出用コイル(23)と、

前記出力端子に一端側が接続されたバイアス印加用コイル(22)と、

任意の電圧の直流信号を出力する直流電圧発生器(25)と、

前記低周波抽出用コイルの他端から出力される信号に対して、前記直流電圧発生器から出力された直流信号を合成し、該合成により得られた信号を前記バイアス印加用コイルの他端側に供給する合成回路(30)とを備え、

前記入力端子に入力されたデジタル信号の各周波数成分をほぼ一様に前記出力端子に伝達するとともに、前記直流電圧発生器から出力された直流信号の電圧に対応したバイアス電圧を前記デジタル信号に付与することを特徴としている。

【0015】

また、本発明の請求項2のデジタル信号オフセット調整装置は、請求項1記載のデジタル信号オフセット調整装置において、

前記合成回路は、前記低周波抽出用コイルの他端から出力される信号の交流成分に対して、その周波数が高くなる程利得が大きくなる周波数特性を有していることを特徴としている。

【0016】

また、本発明の請求項3のデジタル信号オフセット調整装置は、請求項2記載のデジタル信号オフセット調整装置において、

前記合成回路は、演算増幅器(31a)を用いた差動増幅回路構成であり、前記低周波抽出用コイルの他端から出力される信号を前記演算増幅器の非反転入力端子で受け、前記直流電圧発生器から出力された直流信号を前記演算増幅器の反転入力端子で受けて、その差分成分を出力するように構成され、且つ前記反転入力端子とアースラインとの間にコンデンサ(Cc)と抵抗(Rc)の直列回路が接続されていることを特徴としている。

【発明の効果】

【0017】

このように、本発明のデジタル信号オフセット調整装置では、入力端子に入力されたデジタル信号に含まれる周波数成分のうち、コンデンサを通過できない低周波成分を低周波抽出用コイルにより抽出してバイアス用の直流信号と合成してバイアス印加用コイルを介して出力端子に供給するので、大容量のコンデンサや大きなインダクタンスのコイルを用いることなく、入力デジタル信号の各周波数成分を一様に出力端子に伝達することができ、歪みの少ない広帯域な波形伝達が可能となる。

【0018】

また、合成回路が、低周波抽出用コイルの他端から出力される信号の交流成分に対して、その周波数が高くなる程利得が大きくなる周波数特性を有しているので、入力端子と出力端子の間に、低周波抽出用コイル、合成回路およびバイアス印加用コイルが接続されたことにより生じる特定周波数領域における利得低下を補償することができ、より平坦な伝達特性を与えることができ、さらに、歪みの少ない広帯域な波形伝達が可能となる。

【0019】

また、合成回路は、演算増幅器(31a)を用いた差動増幅回路構成であり、低周波抽

山用コイルの他端がアースラインと接続される場合を演算増幅器の非反転入力端子で受け、直流電圧発生器から出力された直流信号を演算増幅器の反転入力端子で受けて、その差分成分を出力するように構成され、且つ非反転入力端子とアースラインとの間にコンデンサ ( $C_c$ ) と抵抗 ( $R_c$ ) の直列回路が接続されているものでは、一つの演算増幅器の簡単な構成で合成回路を小型に実現でき、演算増幅器自身のオフセットやそのドリフトによる影響が少なく、直流バイアスを安定供給できる。

【発明を実施するための最良の形態】

【0020】

以下、図面に基づいて本発明の実施の形態を説明する。

図1は、本発明の実施形態のデジタル信号オフセット調整装置20の構成を示している。

【0021】

図1に示しているように、デジタル信号オフセット調整装置20の入力端子20aと出力端子20bとの間には、従来装置と同様に、入力端子20aから入力されるデジタル信号Dに含まれる所定周波数以上の交流成分（以下、高周波成分という）D<sub>a</sub>を通過させるためのコンデンサ21が接続され、出力端子20bには、バイアス印加用コイル22の一端側が接続されている。

【0022】

また、入力端子20aには、入力されるデジタル信号Dの周波数成分のうち、コンデンサ21で大きく減衰されてしまう成分（通過できない成分）、即ち、直流分と前記所定周波数以下の成分（以下、低周波成分という）D<sub>b</sub>を抽出するための低周波抽出用コイル23の一端が接続されている。この低周波抽出用コイル23のインダクタンスは、バイアス印加用コイル22のインダクタンスと異なってもよいが、ここでは等しいものとする。

【0023】

低周波抽出用コイル23により抽出された低周波成分D<sub>b</sub>は、直流電圧発生器25から出力される任意電圧V<sub>d</sub>の直流信号D<sub>d</sub>cとともに合成回路30に入力される。

【0024】

合成回路30は、低周波抽出用コイル23から出力される信号に対して、直流信号D<sub>d</sub>cを減算合成（加算合成してもよい）し、その合成により得られた信号をバイアス印加用コイル22の他端側に供給するためのものであり、ここでは、図1に示しているように、演算増幅器31aを用いた差動増幅回路構成となっている。

【0025】

即ち、演算増幅器31aの非反転入力端子とアースラインとの間には例えば50Ωの整合用の入力抵抗31bが接続され、演算増幅器31aの出力端子と反転入力端子の間に帰還抵抗31cが接続され、演算増幅器31aの出力端子とバイアス印加用コイル22の間には、例えば50Ωの整合用の出力抵抗31dが接続されている。

【0026】

また、演算増幅器31aの反転入力端子には、帰還抵抗31cと等しい抵抗値の直流入力用抵抗31eを介して直流信号D<sub>d</sub>cが入力されている。

【0027】

なお、直流電圧発生器25の出力抵抗（内部抵抗）は、帰還抵抗31cや直流入力用抵抗31eに対して、無視できる程度に小さく、交流的に見てアースラインに接続されているものとする。

【0028】

このように構成されたデジタル信号オフセット調整装置20において、後述する補償回路35の補償作用を無視すると、合成回路30は、出力端子20bが50Ωで終端されていると仮定して、整合用の出力抵抗31dによる減衰分を含めて、低周波成分D<sub>b</sub>に対して利得1の同相バッファとして作用する。

【0029】

また、直流電圧発生器 25 から出力される電圧  $V_d$  の直流成分  $V_{dc}$  に対しては、利得 0.5 の反転バッファ（減衰器）として作用する。

#### 【0030】

つまり、合成回路 30 の出力信号  $V_o$  は  $D_b - V_d / 2$  となり、低周波成分  $D_b$  が、直流分  $V_{dc}$  と交流分  $V_{ac}$  との和とすれば、出力信号  $V_o$  は、

$$V_o = V_{ac} + (V_{dc} - V_d / 2)$$

となる。

#### 【0031】

この出力信号  $V_o$  は、バイアス印加用コイル 22 を介して、コンデンサ 21 の他端側に入力される。

#### 【0032】

したがって、出力端子 20b から出力されるデジタル信号  $D'$  は、

$$D' = D_a + V_o = (D_a + V_{ac}) + (V_{dc} - V_d / 2)$$

となる。

#### 【0033】

上記式で  $(D_a + V_{ac})$  は交流成分、 $(V_{dc} - V_d / 2)$  は直流成分であるから、その直流成分  $(V_{dc} - V_d / 2)$  が所望値となるように、直流電圧発生器 25 の出力電圧  $V_d$  を設定することで、デジタル信号  $D'$  に所望のバイアス電圧を与えることができる。

#### 【0034】

一方、高周波成分  $D_a$  と低周波成分  $D_b$  の交流分  $V_{ac}$  の周波数範囲は、コンデンサ 21 の容量  $C$  と、バイアス印加用コイル 22 および低周波抽出用コイル 23 のインダクタンス  $L$  とによって決まり、高周波成分  $D_a$  の周波数範囲の下限と、低周波成分  $D_b$  の交流成分  $V_{ac}$  の上限とがほぼ一致するように、容量  $C$  とインダクタンス  $L$  の値が設定されている。

#### 【0035】

また、この合成回路 30 には、入力端子 20a から出力端子 20b に至る信号路間の特定周波数領域における利得低下を補償するための補償回路 35 が設けられている。

#### 【0036】

この補償回路 35 は、合成回路 30 の演算増幅器 31a の反転入力端子とアースラインとの間に直列に接続されたコンデンサ  $C_c$  と抵抗  $R_c$  とにより構成されており、低周波成分  $D_b$  の交流分  $V_{ac}$  に対しその周波数が高くなるにつれてインピーダンスを下げて、直流入力抵抗 31e との並列インピーダンスを下げ、その並列インピーダンスと帰還抵抗 31c との比で決まる利得を上昇させるが、その利得上昇とバイアス印加用コイル 22 および低周波抽出用コイル 23 のインダクタンス  $L$  による利得低下とにより、交流分  $V_{ac}$  の上限近傍の周波数帯域の利得を大きくする（ピーキング効果）作用がある。

#### 【0037】

ここで、上記実施形態のシミュレーション結果を説明する。

図 2～図 4 は、上記補償回路 35 を含まない場合において、バイアス印加用コイル 22 と低周波抽出用コイル 23 のインダクタンス  $L$  を、1mH、3mH、5mH としたときの入出力伝達特性の低域部分を示している。なお、高域部分は所望帯域まで平坦であるので省略する。また、コンデンサ 21 の容量  $C$  はいずれも 10  $\mu$ F である。

#### 【0038】

これらの図から明らかなように、いずれのインダクタンス値においても利得が若干低下する周波数領域が発生している。

#### 【0039】

この領域は、両コイル 22、23 のインダクタンスの増加につれて低域側に推移することから、低周波抽出用コイル 23 とバイアス印加用コイル 22 のインダクタンスの直列分とコンデンサ 21 との並列共振作用等によるものと推察されるが、整合用の低抵抗が挿入されていて共振回路の  $Q$  が低いため、その利得低下は緩慢である。よって、前記した補償

凹距 $\delta$ を目印としても用途によっては使用可能であるが、補償凹距 $\delta$ で補償すればより広い周波数範囲にわたって平坦な伝達特性が得られる。

#### 【0040】

図5は、図3の特性( $L=3\text{ mH}$ )の利得低下領域における交流増幅度を高くするために、コンデンサ $C_c$ として $0.12\text{ }\mu\text{F}$ 、抵抗 $R_c$ として $47\text{ }\Omega$ の補償回路35を用いたときの入出力間の伝達特性を示している。

#### 【0041】

この特性と図3とを比較すれば明らかなように、利得低下領域がなくなり、ほぼ完全に平坦な特性が得られている。

#### 【0042】

したがって、この補償回路35を用いたデジタル信号オフセット調整装置20では、入力されるデジタル信号に含まれる周波数成分のうち、直流から数GHzまでの成分を一様に伝達することができ、波形歪みのない信号伝達が行える。

#### 【0043】

また、上記実施形態の合成回路30は、単一の演算増幅器31aによる差動増幅回路で構成しているので、回路構成が簡単で小型化でき、演算増幅器自身の直流オフセット誤差やそのドリフトの影響が1個分で済み、安定な直流バイアス供給が行える。

#### 【0044】

なお、上記した補償回路35は、合成回路30の演算増幅器31aの反転入力端子とアースラインとの間に接続されたコンデンサ $C_c$ と抵抗 $R_c$ との直列回路で構成されていたが、図6に示す補償回路35'のように、演算増幅器31aの出力端子と反転入力端子との間にコイル $L_c$ と抵抗 $R_c'$ と直列回路で構成することもできる。この場合、帰還抵抗31cと抵抗 $R_c'$ との並列抵抗値を直流入力抵抗31eの抵抗値と等しくすればよい。また、抵抗 $R_c'$ の代わりに帰還抵抗31cを兼用し、帰還抵抗31cと反転入力端子との間にコイル $L_c$ を直列に挿入してもよい。

#### 【0045】

また、前記合成回路30では、低周波抽出用コイル23から出力される信号と直流信号Ddcとを減算合成しているが、複数の演算増幅器を用いて両者を加算合成することもできる。

#### 【0046】

例えば、低周波抽出用コイル23から出力される信号を第1の演算増幅器により反転増幅し、直流信号Ddcを第2の演算増幅器により反転増幅し、それらの反転出力同士を第3の演算増幅器による加算回路で加算することにより、両信号を加算合成できる。この場合、前記した補償回路35、35'と同様に、低周波抽出用コイル23から出力される信号に対してその周波数が高くなるほど利得が大きくなる周波数特性を第1または第3の演算増幅器に与えればよい。

#### 【図面の簡単な説明】

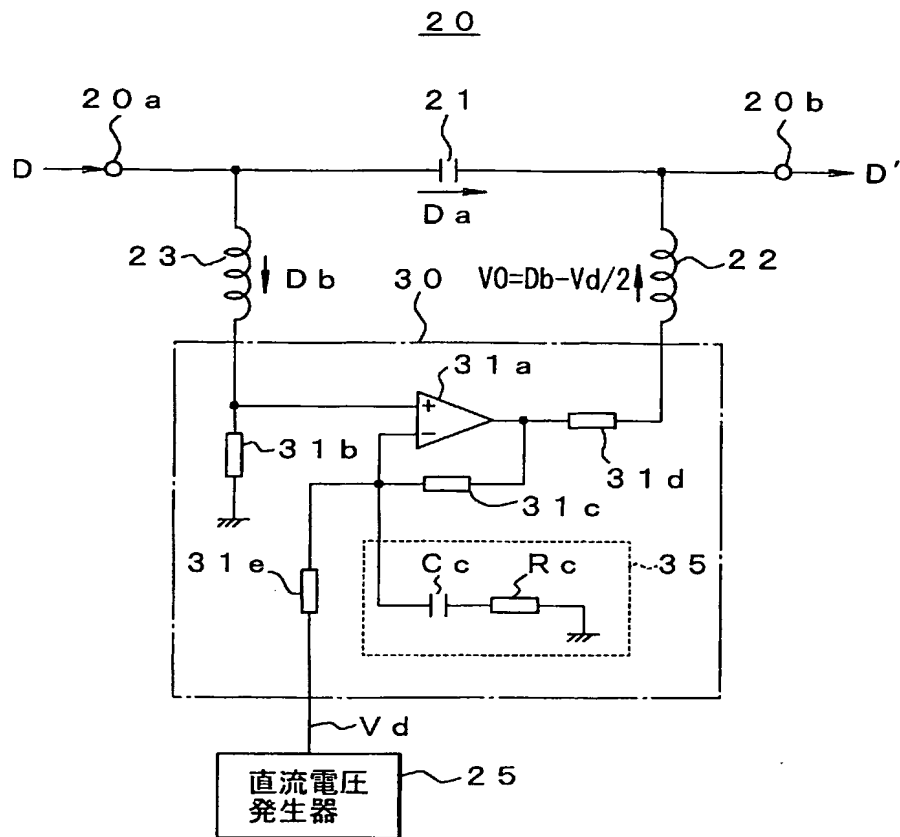
#### 【0047】

- 【図1】 本発明の第1の実施形態の構成を示す図
- 【図2】 第1の実施形態の補償無しの入出力間の伝達特性例を示す図
- 【図3】 第1の実施形態の補償無しの入出力間の伝達特性例を示す図
- 【図4】 第1の実施形態の補償無しの入出力間の伝達特性例を示す図
- 【図5】 第1の実施形態の補償時の入出力間の伝達特性例を示す図
- 【図6】 本発明の補償回路の変形例を示す図
- 【図7】 従来装置の構成を示す図

#### 【符号の説明】

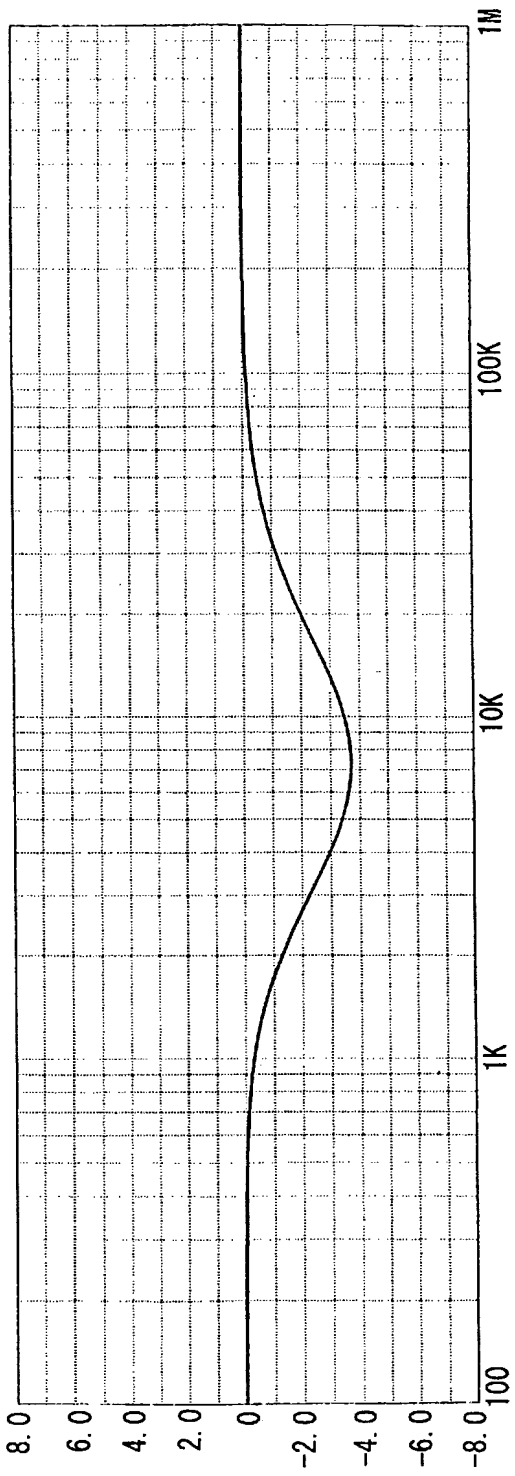
#### 【0048】

20、20' …… デジタル信号オフセット調整装置、20a …… 入力端子、20b …… 出力端子、21 …… コンデンサ、22 …… バイアス印加用コイル、23 …… 低周波抽出用コイル、25 …… 直流電圧発生器、30 …… 合成回路、31a …… 演算増幅器、35、3



利得  
(dB)

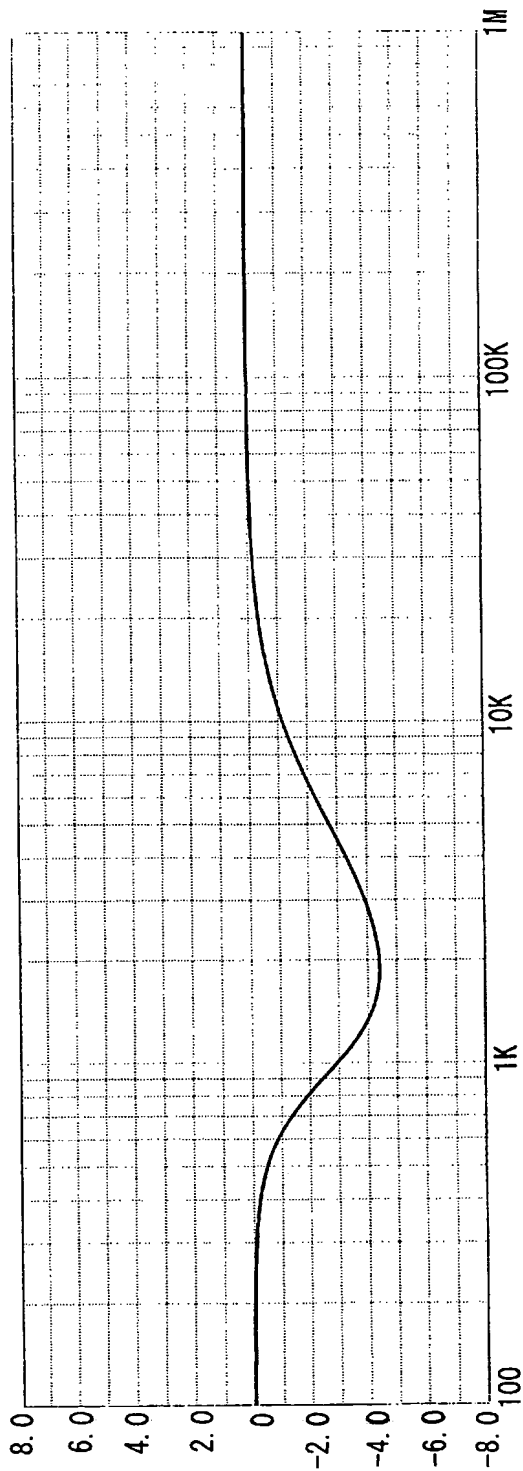
補償無し  $L = 1\text{mH}$



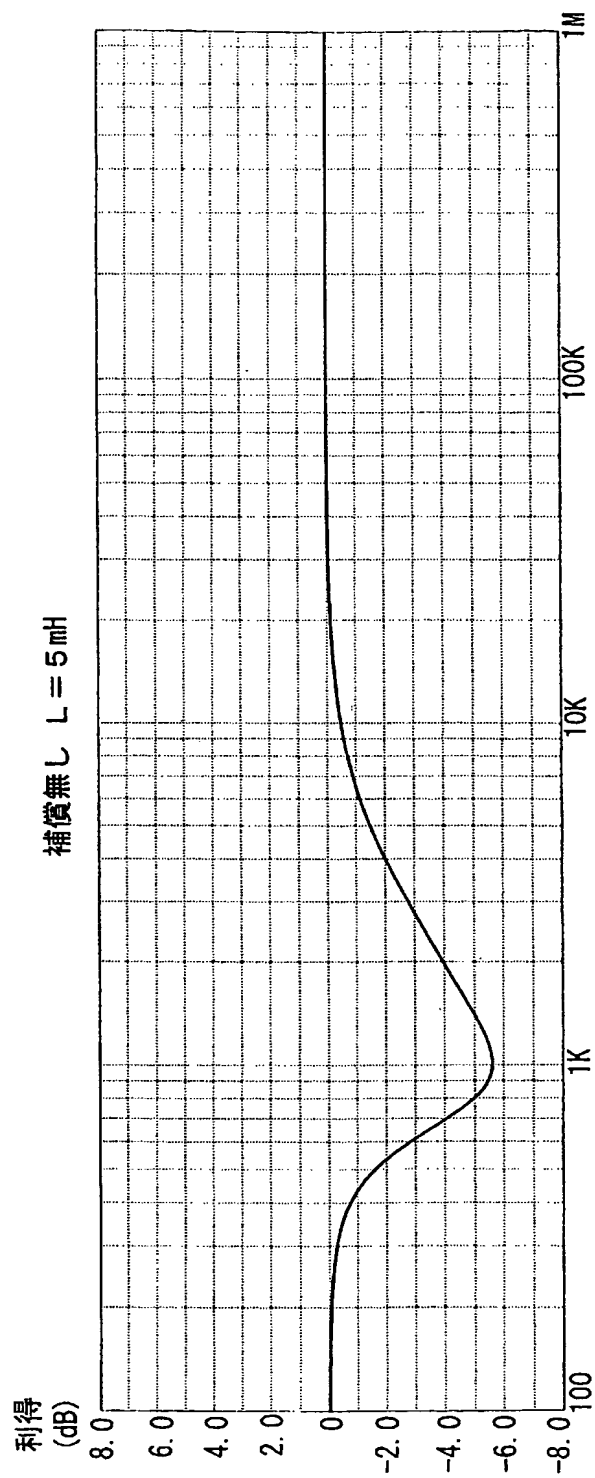
周波数 (Hz)

利得  
(dB)

補償無し  $L = 3 \text{ mH}$

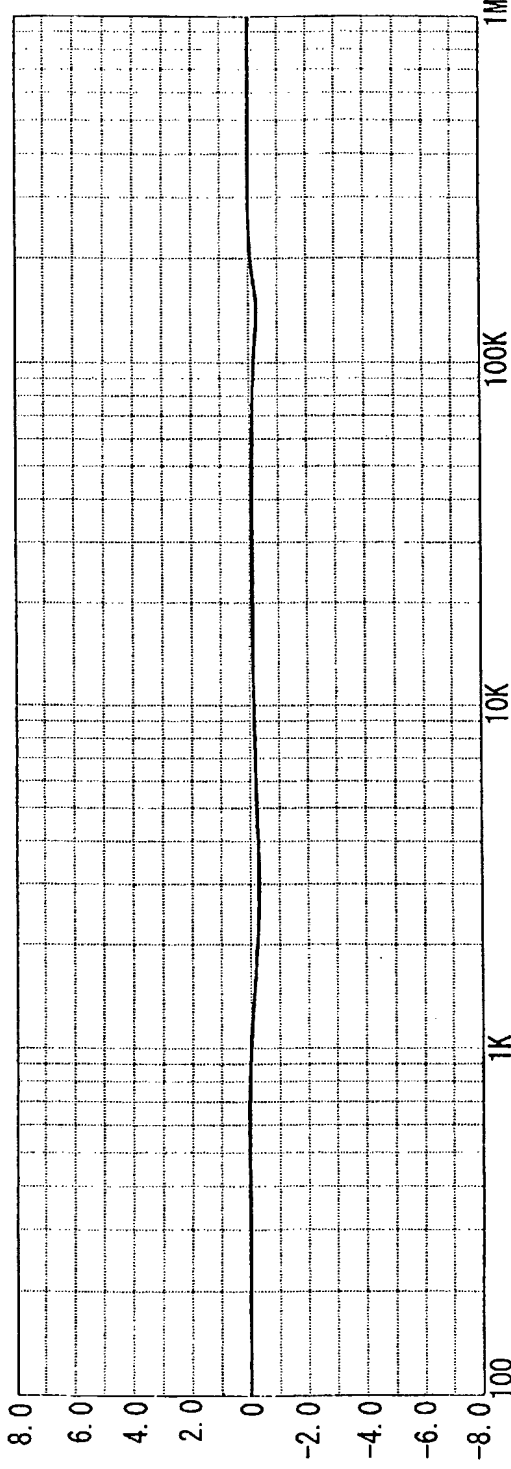


周波数 (Hz)

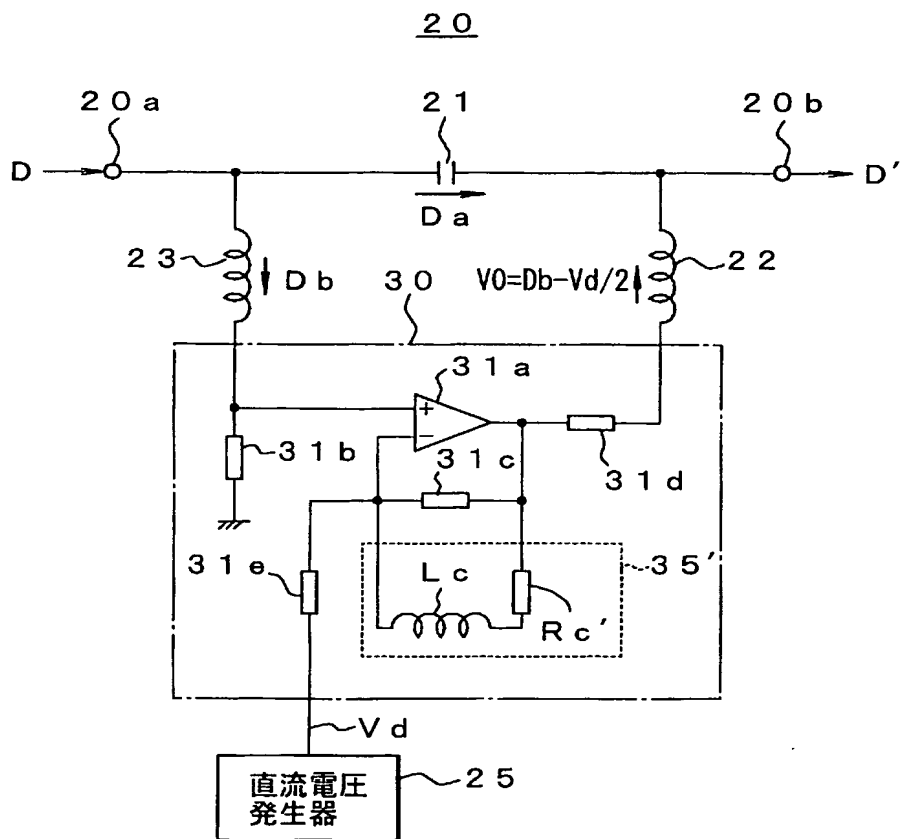


利得  
(dB)

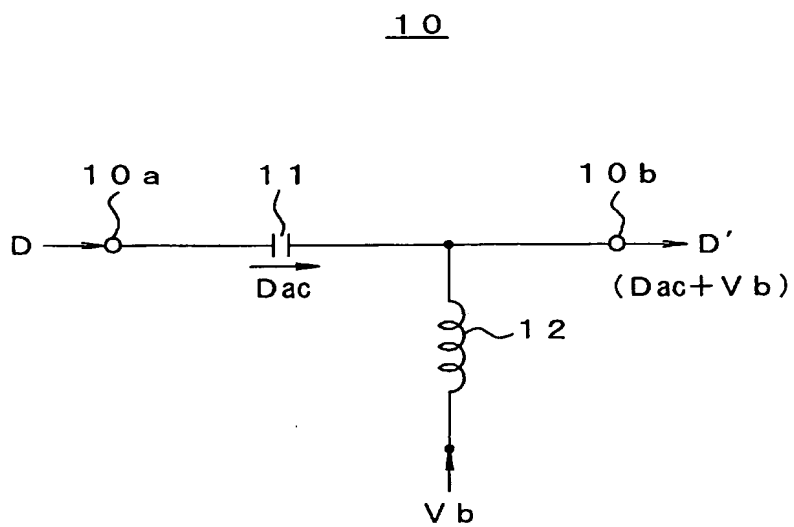
補償有り



周波数 (Hz)



【図 7】



【要約】

【課題】 広帯域なデジタル信号の波形を歪みなく伝達できるようにする。

【解決手段】 入力端子20aに接続された低周波抽出用コイル23により、入力されるデジタル信号の周波数成分のうち、少なくとも入力端子20aと出力端子20bとの間に接続されているコンデンサ21を通過できない低周波成分を抽出し、その抽出した信号と、直流電圧発生器25から出力された直流信号とを合成回路30により合成し、その合成により得られた信号を、バイアス印加用コイル22を介して出力端子20bに供給するように構成して、入力端子20aに入力されたデジタル信号の各周波数成分をほぼ一様に出力端子20bに伝達させるとともに、直流電圧発生器25から出力された直流信号の電圧に対応したバイアス電圧をデジタル信号に付与する。

【選択図】 図1

0 0 0 0 0 0 5 7 2

20030627

住所変更

神奈川県厚木市恩名1800番地

アンリツ株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/018006

International filing date: 29 September 2005 (29.09.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-286548  
Filing date: 30 September 2004 (30.09.2004)

Date of receipt at the International Bureau: 15 November 2005 (15.11.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**